

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2006年7月27日 (27.07.2006)

PCT

(10) 国際公開番号  
WO 2006/078009 A1

(51) 国際特許分類:  
**H03H 11/04** (2006.01)

(21) 国際出願番号: PCT/JP2006/300937

(22) 国際出願日: 2006年1月23日 (23.01.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願2005-015083 2005年1月24日 (24.01.2005) JP

(71) 出願人(米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1006 番地 Osaka (JP).

(72) 発明者: および

(75) 発明者/出願人(米国についてのみ): 岡田 英治 (OKADA, Eiji). 尾関 浩明 (OZEKI, Hiroaki).

(74) 代理人: 岩橋 文雄, 外 (IWAHASHI, Fumio et al.); 〒5718501 大阪府門真市大字門真 1006 番地 松下電器産業株式会社内 Osaka (JP).

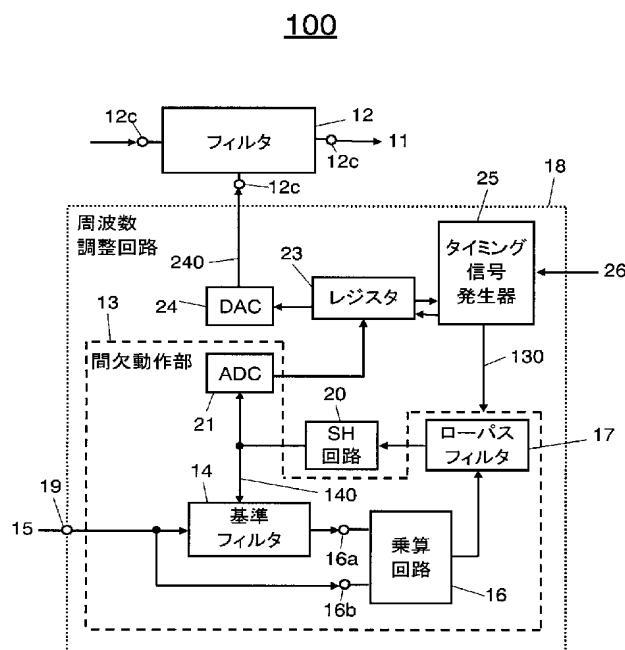
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

/ 続葉有 /

## (54) Title: RECEIVER APPARATUS AND ELECTRONIC DEVICE USING THE SAME

## (54) 発明の名称: 受信装置及びこれを用いた電子機器



12... FILTER  
18... FREQUENCY ADJUSTING CIRCUIT  
23... REGISTER  
25... TIMING SIGNAL GENERATOR  
13... INTERMITTENT OPERATION PART  
20... SH CIRCUIT  
17... LOWPASS FILTER  
14... REFERENCE FILTER  
16... MULTIPLYING CIRCUIT

**(57) Abstract:** A receiver apparatus and an electronic device wherein the degradation of symbol signal waveforms can be suppressed. There are included a filter (12) for outputting an output signal having a symbol every given time interval; and an intermittent operation part (13) for intermittently controlling, based on the output signal from the filter (12), the frequency characteristic of the filter (12) at the time intervals. This can cause the timing, at which to switch a signal for controlling the frequency characteristic of the filter (12), to be within any time interval between symbol intervals, for example, within a guard interval, thereby suppressing the degradation of symbol signal waveforms.

**(57) 要約:** シンボルの信号波形の劣化を抑制した受信装置及び電子機器を提供する。任意の時間間隔ごとにシンボルを有する出力信号を送出するフィルタ(12)と、フィルタ(12)からの出力信号に基づいて、フィルタ(12)を間欠的に時間間隔において制御する間欠動作部(13)とを有する。これにより、フィルタ(12)の周波数特性を制御するための信号を切り換えるタイミングを、例えばガードインターバル期間など、シンボル期間とシンボル期間の間の任意の時間間隔内とすることにより、シンボルの信号波形の劣化を抑制することができる。

WO 2006/078009 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。

添付公開書類:  
— 国際調査報告書

## 明 細 書

受信装置及びこれを用いた電子機器  
技術分野

[0001] 本発明は、フィルタの周波数特性の調整を行う周波数調整回路が内蔵された受信装置及びこの受信装置を用いた電子機器に関するものである。

## 背景技術

[0002] 従来、通信機やAV機器などの電子機器において、デジタル変調信号の復調処理を良好に行うため、周波数特性を高精度に調整することができ、さらに半導体IC化に好適な相互コンダクタンス-容量フィルタ(以下、gm-Cフィルタと言う)などが採用されている。また、gm-Cフィルタには半導体ICの製造ばらつきや周囲温度変化による周波数特性の変化を抑えるために、周波数特性を調整する周波数調整回路を内蔵するのが一般的である。

[0003] 図9は、従来の周波数調整回路が内蔵された受信装置の一例を示す。受信装置900は、gm-Cフィルタで構成されたフィルタ2を有する。フィルタ2は入力端子2a、出力端子2b及び制御端子2cを有する。入力端子2aには周波数特性が調整される前の入力信号が入力される。出力端子2bから、周波数特性が調整された出力信号が出力される。制御端子2cには周波数特性を調整するための制御電圧が後述の周波数調整回路から入力される。

[0004] 周波数調整回路8は入力端子9、基準フィルタ4、乗算回路6及びローパスフィルタ7を有する。入力端子9には図示しない水晶発振器などで作られた基準クロック信号5が入力される。

[0005] 入力端子9に入力された基準クロック信号5は基準フィルタ4に入力される。基準フィルタ4から出力された基準クロック信号は、乗算回路6の第1の入力端子6aに入力される。また、基準クロック信号5はそのまま乗算回路6の第2の入力端子6bに入力される。

[0006] 乗算回路6は異なる信号経路を通った2つの基準クロック信号を乗算し、両者の位相比較を行った後、その位相差に応じた電圧を出力する。乗算回路6から出力され

た電圧がローパスフィルタ7に入力されると、そこで平滑化され、制御電圧として出力される。この出力された制御電圧を基準フィルタ4に負帰還することにより位相制御ループを形成し、基準フィルタ4の周波数特性を高精度で、かつ、再現性良く制御する。基準フィルタ4は2次のローパスフィルタで構成されている。位相制御ループがロックされているとき、通過する基準クロック信号5は基準フィルタ4で90度位相がシフトされる。

[0007] また、ローパスフィルタ7から出力された制御電圧をフィルタ2の制御電圧として制御端子2cに入力する。フィルタ2の入力端子2aに入力される入力信号の周波数特性を高精度に調整し、その出力端子2bから出力信号を取り出す。取り出された出力信号はたとえば、受信装置の復調処理などに用いられる。

[0008] なお、この出願に関する先行技術文献情報としては、例えば、日本特許公開特開2003-60485号公報が知られている。

[0009] しかしながら、上記従来の構成では、基準フィルタ4、乗算回路6及びローパスフィルタ7で構成した周波数調整回路8を作動させ、フィルタ2の周波数特性を調整しなければならない。このため、フィルタ2の周波数特性の変化によってシンボル、すなわち、1回の変調で送信することができる1ビット或いは複数ビットのデータの信号波形が、劣化するという不具合が生じる。

## 発明の開示

[0010] 本発明は上記従来の不具合を解決するもので、シンボルの信号波形の劣化を抑制することができる受信装置及び電子機器を提供する。

[0011] 本発明の受信装置は、任意の時間間隔ごとにシンボルを有する出力信号を送出するフィルタと、このフィルタからの出力信号に基づいて、フィルタを間欠的に所定の時間の間隔で制御する間欠動作部とを有する。

[0012] フィルタの周波数特性を制御するための信号を切り換えるタイミングを、例えばガードインターバル期間など、シンボル期間とシンボル期間の間を任意の時間の大きさに設定することにより、シンボルの信号波形の劣化を抑制するというものである。

[0013] 本発明の受信装置は具体的には、任意の時間間隔ごとにシンボルを有する出力信号を送出するフィルタを有する。このフィルタからの出力信号に基づいて、フィルタを

間欠的に制御する間欠動作部を有する。

- [0014] また、本発明の受信装置は、フィルタからの出力された出力信号における任意の時間間隔に基づいて、間欠動作部の電源をオン／オフするタイミング信号を生成するタイミング信号発生器を有する。
- [0015] また、本発明の受信装置においては、タイミング信号発生器は、間欠動作部からの制御信号に基づいて、間欠動作部の電源をオン／オフするタイミング信号を生成する。
- [0016] また、本発明の受信装置に内蔵されるタイミング信号発生器は、間欠動作部からの制御信号の信号強度に基づいて、間欠動作部の電源をオン／オフするタイミング信号を生成する。
- [0017] また、本発明の受信装置において、タイミング信号発生器は、間欠動作部からの制御信号及び間欠動作部の電源のオフ期間に基づいて、間欠動作部の電源をオン／オフするタイミング信号を生成する。
- [0018] また、本発明の受信装置は、間欠動作部からの制御信号を保持するレジスタを有し、フィルタは、レジスタが保持した制御信号に基づいて制御され、タイミング信号発生器は、出力信号における任意の時間間隔の他に基準クロック信号に基づいて、間欠動作部の電源をオン／オフするタイミング信号を生成する。
- [0019] また、本発明にかかる受信装置において、周波数調整回路は、基準クロック信号に位相差を設定する基準フィルタと、基準フィルタの出力信号と基準クロック信号とを乗算する乗算回路と、乗算回路の出力に接続されたローパスフィルタを有する。また、ローパスフィルタの出力電圧を基準フィルタのカットオフ周波数が一定になるように基準フィルタに負帰還をかけるものである。また、ローパスフィルタからの出力電圧を一定期間保持するサンプルホールド(SH)回路と、サンプルホールド回路のアナログ出力電圧(アナログデータ)をデジタルデータに変換するアナログデジタルコンバータ(ADC)を有する。
- [0020] また、デジタルデータをアナログデータに変換するデジタルアナログコンバータ(DAC)を有する。また、変換したデジタルデータを保持するレジスタを有し、レジスタが保持したデジタルデータに基づいて、周波数調整回路を間欠的に作動させる。

[0021] また、本発明の受信装置は、基準クロック信号に位相差を設定する基準フィルタと、基準フィルタの出力信号と基準クロック信号との排他的論理和を出力するEXOR回路と、EXOR回路の出力信号のデューティー比を計測する計測回路を有する。また、計測回路の出力信号をフィルタの制御信号に使用し、計測回路の出力信号をデジタルデータとして保持するレジスタを有する。こうした回路構成によって、周波数調整回路を間欠的に作動させることができる。

[0022] また、本発明にかかる電子機器は上記の受信装置が搭載されている。

#### 図面の簡単な説明

[0023] [図1]図1は、本発明の実施の形態1にかかる周波数調整回路が内蔵された受信装置のブロック図である。

[図2]図2は、本発明の実施の形態1にかかる周波数調整回路が内蔵された受信装置のタイミングチャートである。

[図3]図3は、本発明の実施の形態2にかかる周波数調整回路が内蔵された受信装置のブロック図である。

[図4]図4は、本発明の実施の形態2にかかる周波数調整回路が内蔵された受信装置のタイミングチャートである。

[図5]図5は、本発明の実施の形態3にかかる周波数調整回路が内蔵された受信装置のブロックである。

[図6]図6は、本発明の実施の形態3にかかる周波数調整回路が内蔵された受信装置のタイミングチャートである。

[図7]図7は本発明の実施の形態4にかかる周波数調整回路が内蔵された受信装置のブロック図である。

[図8]図8は、本発明の実施の形態4にかかる周波数調整回路が内蔵された受信装置のタイミングチャートである。

[図9]図9は、従来のフィルタ周波数調整回路が内蔵された受信装置のブロック図である。

#### 符号の説明

[0024] 12 フィルタ

- 13 間欠動作部
- 14 基準フィルタ
- 15 基準クロック信号
- 16 乗算回路
- 17 ローパスフィルタ
- 18 周波数調整回路
- 19 入力端子
- 20 サンプルホールド(SH)回路
- 21 アナログデジタルコンバータ(ADC)
- 23 レジスタ
- 24 デジタルアナログコンバータ(DAC)
- 25 タイミング信号発生器
- 26 ガードインターバル信号
- 27 受信状態信号

### 発明を実施するための最良の形態

[0025] (実施の形態1)

実施の形態1を、図面を参照しながら説明する。図1は本発明の実施の形態1にかかる周波数調整回路が内蔵された受信装置を示すブロック図である。

[0026] 本発明にかかる受信装置100はフィルタ12及び周波数調整回路18を有する。

[0027] フィルタ12は、gm-Cフィルタで構成されている。フィルタ12は入力信号が入力される入力端子12aと、その入力信号の周波数特性が調整された出力信号11を取り出すための出力端子12bを有する。また、周波数調整回路18から、周波数特性を調整するための制御電圧が入力される制御端子12cを有する。制御端子12cには周波数特性を調整するための制御電圧が後述の周波数調整回路から入力される。

[0028] 周波数調整回路18は間欠動作部13を有する。間欠動作部13は、入力端子19、基準フィルタ14、乗算回路16、ローパスフィルタ17及びADC(アナログデジタルコンバータ)21を有する。基準クロック信号15は入力端子19を介して、基準フィルタ14及び乗算回路16に入力される。基準フィルタ14に入力された基準クロック信号15の

位相は基準フィルタ14でシフトされ、乗算回路16の第1の入力端子16aに入力される。また、乗算回路16の第2の入力端子16bには、入力端子19に入力された基準クロック信号15がそのまま入力される。乗算回路16は、位相シフトされた信号と基準クロック信号15とを乗算し、両者の位相差に応じた電圧を出力する。ローパスフィルタ17は乗算回路16から取り出された出力電圧を平滑化する。サンプルホールド(SH)回路20は、ローパスフィルタ17で平滑された信号をアナログデータで保持する。SH回路20で保持されたアナログデータは、ADC(アナログデジタルコンバータ)21でデジタルデータに変換される。

[0029] ADC21で変換されたデジタルデータはレジスタ23に入力される。レジスタ23で保持されたデジタルデータはDAC(デジタルアナログコンバータ)24に入力される。DAC24は、レジスタ23から取り出したデジタルデータをアナログデータに変換する。

[0030] 本発明にかかる受信装置100は、さらに、ガードインターバル信号26が外部から入力されるタイミング信号発生器25を有する。タイミング信号発生器25は間欠動作部13及びレジスタ23を制御する。ガードインターバル信号は、シンボルの長さを理論的な値よりも長くしたものであって、遅延波による影響を防ぐためにシンボルの最後の部分をシンボルの前に付加されたものである。

[0031] 図2は、図1に示した周波数調整回路18の動作タイミングチャートである。間欠動作部制御信号130はタイミング信号発生器25から出力され、間欠動作部13のオン、オフの動作制御を行う。間欠動作部13は、間欠動作部制御信号130のオン期間130H(Hiレベル)でオンし、オフ期間130L1(Loレベル), 130L2(Loレベル)でオフする。なお、実施の形態1において、オフ期間は、130L1, 130L2という具合に2つに分けた。その理由は、後述するが、基準フィルタの制御電圧の変化量に応じてオフ期間が調整されるためである。これらのオフ期間は2つだけに限らずに3つあるいは4つあるいはそれ以上設けても良い。

[0032] 基準フィルタ制御電圧140はSH回路20から取り出される。基準フィルタ制御電圧140は基準フィルタ14の動作を制御する。間欠動作部13がオン状態、すなわち、間欠動作部制御信号130がオン期間130Hのときに基準フィルタ制御電圧140は所定の収束期間142, 144において、収束し、その後一定期間TCが経過した所定電圧

レベル146または148がSH回路20で保持される。また、一定期間TCにおいて、ADC21がアナログデータをデジタルデータに変換する動作が行われる。一定期間TCの大きさは、ガードインターバル期間G26に依存する。

[0033] フィルタ制御電圧240はDAC24の出力側から取り出され、フィルタ12の制御端子12cに入力される。SH回路20から取り出された基準フィルタ制御電圧140は、ADC21(アナログデジタルコンバータ)21でデジタルデータに変換される。このデジタルデータはレジスタ23で保持され、DAC24に入力される。DAC24から取り出されたフィルタ制御電圧240によってフィルタ12を制御する。

[0034] DAC24に入力されたデジタルデータとその1つ前のデジタルデータから基準フィルタ14の制御電圧の変化量 $\Delta V1$ 、 $\Delta V2$ を算出し、その変化量 $\Delta V1$ が大きければオフ期間130L1を短くし、その変化量 $\Delta V1$ が小さければオフ期間130L1を長く設定する。また、基準フィルタ4の制御電圧の変化量 $\Delta V2$ も同様に考えることができ、その変化量 $\Delta V2$ が大きければオフ期間130L2を短くし、その変化量 $\Delta V2$ が小さければオフ期間130L2を長く設定する。なお、制御電圧の変化量からオフ期間130L1、130L2を導出する方法の一例としては、制御電圧の変化量に対するオフ期間の設定テーブルを用意しておくことで実施することができる。DAC24がデジタルデータをアナログデータに変換する期間は一定期間TCの間である。

[0035] 本発明の実施の形態1において、フィルタ12を制御するタイミングは、地上波デジタル放送などで採用されているガードインターバル期間を利用する。このガードインターバル期間は、本願発明において、「任意の時間間隔」として定義される。この「任意の時間間隔」は、一定であっても良いし、可変されるものであっても良い。こうした構成のいずれかを一方を採用すれば、フィルタ12の周波数特性を制御するための信号を切り換えるタイミングを、例えばガードインターバル期間G26など、シンボル期間とシンボル期間の間の任意の期間とすることにより、シンボルの信号波形の劣化を抑制することができる。

[0036] ガードインターバル信号26は、タイミング信号発生器25に入力される。ガードインターバル信号26は有効シンボル期間S26とガードインターバル期間G26を有する。有効シンボル期間S26とガードインターバル期間G26を加えた、(S26+G26)がシン

ボル期間として定義することができる。なお、シンボル期間は、1回の変調で送信できる1ビット或いは複数ビットのデータの期間である。

[0037] また、タイミング信号発生器25は、フィルタ12からの出力信号を受けて、この出力信号のガードインターバル期間G26から所定期間の前に間欠動作部13の電源をオンさせ、間欠動作部13がフィルタ12を制御してから間欠動作部13の電源をオフさせるようにしても良い。これにより、間欠動作部13の低消費電力化が図れる。

[0038] また、外部から入力されるガードインターバル信号26のガードインターバル期間G26を検知し、そのガードインターバル期間G26に同期させて、デジタルデータをレジスタ23で保持し、DAC24で制御電圧をフィルタ12に入力するようにしても良い。これにより、間欠動作部13がオフの期間130L1, 130L2もフィルタ12に制御信号を供給することができる。

[0039] 次に間欠動作部13がオフ状態のときについて説明する。フィルタ12の制御電圧を切換えた後、間欠動作部13はオフ状態になる。オフさせる期間についてはタイミング信号発生器25により以下のように決定する。現在のDAC24に入力されているデジタルデータと1つ前のデジタルデータから基準フィルタ14の制御電圧の変化量 $\Delta V1$ または $\Delta V2$ を算出する。その変化量が大きければオフ期間130L1または130L2を短くし、小さければオフ期間130L1または130L2を長く設定する。図2には一例として、 $\Delta V1$ が $\Delta V2$ よりも大きく、オフ期間130L1が130L2よりも短いものを例示した。制御電圧の変化量からオフ期間を導出する方法の一例としては、制御電圧の変化量に対するオフ期間の設定テーブルを用意しておくことで実施することができる。

[0040] このように、タイミング信号発生器25が間欠動作部13からの制御信号に基づいて、間欠動作部13の電源をオン／オフするタイミング信号を生成することにより、間欠動作部13の消費電力を低く抑えることができる。

[0041] また、間欠動作部13が、オン期間130Hの間にSH回路20に保持された制御電圧をオフ期間130L1、130L2においても保持しておくことにより、次回の動作期間の初期電圧として使用する。こうした構成により収束期間142, 144を短縮することができ、間欠動作部13の動作時間の短縮化が図れる。

[0042] また、制御電圧をアナログ値として保持するSH回路20をローパスフィルタと基準フ

イルタの間に構成しているため、周波数調整回路18がオンしているときには制御電圧が、SH回路20をそのまま通過する。このため、間欠動作部13が、オフするときにはオフする前の制御電圧が保持されようになる。これにより、オン動作の再開時にオフする前の制御電圧から負帰還がかかり、収束期間を短縮することができる。

[0043] (実施の形態2)

図3は本発明の実施の形態2にかかるフィルタとその周波数調整回路が内蔵された受信装置のブロック図である。

[0044] 実施の形態2にかかる受信装置300は、実施の形態1(図1に示す)と、ほぼ同様の回路構成と回路動作を行う。まず、gm-Cフィルタで構成されたフィルタ12を有する。フィルタ12には入力信号が入力される入力端子12aと、その入力信号の周波数特性が調整された出力信号が取り出される出力端子12bを有する。また、入力端子12aに入力される入力信号の周波数特性を調整するための制御端子12cを有する。制御端子12cには後述の周波数調整回路18に内蔵されたDAC24から制御電圧が入力される。

[0045] また、受信装置300は、間欠動作部13が内蔵された周波数調整回路18を有する。間欠動作部13は、入力端子19、基準フィルタ14、乗算回路16、ローパスフィルタ17及びADC(アナログデジタルコンバータ)21を有する。また、周波数調整回路18は、実施の形態1と同様に、間欠動作部13のほかに、SH回路20、レジスタ23、DAC(デジタルアナログコンバータ)24を有する。

[0046] SH回路20からは基準フィルタ制御電圧140、DAC24からはフィルタ制御電圧240が各別に取り出される。

[0047] さらに、受信装置300はタイミング信号発生器25を有する。タイミング信号発生器25の入力側には、外部からのガードインターバル信号26及び基準クロック信号15が入力端子19及び信号接続線26aを介して各別に入力される。タイミング信号発生器25の出力側からは、間欠動作部13を制御する間欠動作部制御信号130が出力される。

[0048] 図4は、図3に示した周波数調整回路18の動作タイミングチャートである。間欠動作部制御信号130はタイミング信号発生器25から出力され、間欠動作部13のオン、オ

フ制御を行う。間欠動作部制御信号130のオン期間130H(Hiレベル)で間欠動作部13はオンし、オフ期間130L1(Loレベル), 130L2(Loレベル)でオフする。

[0049] 前にも述べたように、基準フィルタ制御電圧140はSH回路20から出力される。基準フィルタ制御電圧140は基準フィルタ14及びADC21の動作を制御する。間欠動作部13がオンの状態、すなわち、間欠動作部制御信号130のオン期間130Hにおかれたときに基準フィルタ制御電圧140は、所定の収束期間142, 144において、収束し、一定期間TCが経過した後、所定電圧レベル146または148がSH回路20で保持される。また、一定期間TCにおいて、ADC21がアナログデータをデジタルデータに変換する動作を行う。一定期間TCの大きさは、ガードインターバル期間G26に依存する。

[0050] フィルタ制御電圧240は、DAC24から取り出され、フィルタ12を制御するために、フィルタ12の制御端子12cに入力される。DAC24に入力されたデジタルデータとその1つ前のデジタルデータから基準フィルタ14の制御電圧の変化量 $\Delta V1$ 、 $\Delta V2$ を算出し、その変化 $\Delta V1$ が大きければオフ期間130L1または130L2を短くし、制御電圧の変化量 $\Delta V2$ が小さければオフ期間130L1または130L2を前の値よりも長くなるように設定する。なお、図4には一例として、 $\Delta V1$ が $\Delta V2$ よりも大きく、オフ期間130L1が130L2よりも短いものを例示した。

[0051] 実施の形態2は、基準クロック信号15がタイミング信号発生器25に入力される点で、図1に示した実施の形態1とは相違する。

[0052] さて、実施の形態2においても、実施の形態1と同様に、フィルタ12を制御するタイミングは、地上波デジタル放送などで採用されているガードインターバル期間G26を利用する。このガードインターバル期間は、本願発明において、「任意の時間間隔」として定義される。この「任意の時間間隔」は、一定であっても良いし、可変されるものであっても良い。こうした構成のいずれかを一方を採用すれば、フィルタ12の周波数特性を制御するための信号を切り換えるタイミングを、例えばガードインターバル期間G26など、シンボル期間とシンボル期間の間の任意の期間とすることにより、シンボルの信号波形の劣化を抑制することができる。

[0053] ガードインターバル信号26は、タイミング信号発生器25に入力される。ガードイン

一バル信号26は有効シンボル期間S26とガードインターバル期間G26を有する。有効シンボル期間S26とガードインターバル期間G26を加えた、(S26+G26)がシンボル期間として定義することができる。なお、シンボル期間は、1回の変調で送信できる1ビット或いは複数ビットのデータの期間である。

[0054] また、タイミング信号発生器25は、フィルタ12からの出力信号を受けて、この出力信号のガードインターバル期間G26から所定期間の前に間欠動作部13の電源をオンさせ、間欠動作部13がフィルタ12を制御してから間欠動作部13の電源をオフさせるようにしても良い。これにより、間欠動作部13の低消費電力化が図れる。

[0055] また、外部から入力されるガードインターバル信号26のガードインターバル期間G26を検知し、そのガードインターバル期間G26に同期させて、デジタルデータをレジスタ23で保持し、DAC24で制御電圧をフィルタ12に入力するようにしても良い。これにより、間欠動作部13がオフの期間130L1, 130L2に置かれたときでも、フィルタ12に制御信号を供給することができる。

[0056] 次に、間欠動作部13がオフ状態のときについて図4のタイミングチャートを用いて説明する。フィルタ12の制御電圧、すなわち、フィルタ制御電圧240が切り換えられた後、間欠動作部13はオフ状態になる。オフさせる期間130L1, 130L2についてはタイミング信号発生器25により以下のように決定する。タイミング信号発生器25は、基準クロック信号15の立ち上がりTRまたは立ち下がりTFをカウントし、予め設定しておいた任意のカウント数Nに達すると間欠動作部13がオン状態へ移行するようにしておく。なお、任意のカウント数Nは固定値でも良いし、擬似ランダムのような可変値でも良い。それらの構成により効果は、固定値の場合は回路規模および消費電力を比較的小さくでき、可変値の場合は切り換えタイミングが非周期的になるため、フィルタの特性が周期的に変動する事によるノイズの発生を抑えることができる。

[0057] (実施の形態3)

実施の形態3を、図面を参照しながら説明する。なお、実施の形態1及び実施の形態2と類似した回路構成が多く、重複するがひとつおり説明すると次のとおりである。

[0058] 図5に示した実施の形態3にかかる受信装置500は、実施の形態1(図1に示す)と同様にgm-Cフィルタで構成されたフィルタ12を有する。フィルタ12には入力信号

が入力される入力端子12aと、その入力信号の周波数特性が調整された出力信号が取り出される出力端子12bを有する。また、入力端子12aに入力される入力信号の周波数特性を調整するための制御端子12cを有する。制御端子12cには後述のDAC24から制御電圧が入力される。

[0059] また、受信装置500は、間欠動作部13が内蔵された周波数調整回路18を有する。間欠動作部13は、入力端子19、基準フィルタ14、乗算回路16、ローパスフィルタ17及びADC(アナログデジタルコンバータ)21を有する。また、周波数調整回路18は、実施の形態1, 2と同様に、間欠動作部13のほかに、SH回路20、レジスタ23、DAC(デジタルアナログコンバータ)24を有する。

[0060] さらに、受信装置500は、タイミング信号発生器25を有する。タイミング信号発生器25の入力側には、受信状態信号27が入力されている。タイミング信号発生器25の出力側からは、間欠動作部13を制御する間欠動作部制御信号130が出力される。

[0061] 受信状態信号27は受信期間R27と非受信期間F27を有する。時分割で送信される信号を受信する場合、受信装置500の後段に配置される復調処理部が、フィルタ12の出力端子12bから出力される信号を用いて、受信期間R27と非受信期間F27がHiレベルとLoレベルで表された信号を生成する。たとえば、地上波デジタル放送の規格の一つであるDVB-Hは受信信号内に次の信号が送信される時間情報を有しているため、それをもとに受信状態信号27を生成することができる。

[0062] 図6は図5に示した周波数調整回路18のタイミングチャートである。間欠動作部制御信号130は前にも述べたように、タイミング信号発生器25から出力され、間欠動作部13のオン、オフの動作制御を行う。間欠動作部13は、間欠動作部制御信号のオン期間130H(Hiレベル)でオンし、オフ期間130L1(Loレベル), 130L2(Loレベル)でオフする。

[0063] 基準フィルタ制御電圧140はSH回路20から出力される。基準フィルタ制御電圧140は基準フィルタ14及びADC21の動作を制御する。間欠動作部13がオン状態、すなわち、オン期間130Hのときに基準フィルタ制御電圧140は収束期間142, 144において、収束し、一定期間TCが経過した後、所定電圧レベル146または148がSH回路20で保持される。また、一定期間TCにおいて、ADC21がアナログデータを

デジタルデータに変換する動作を行う。一定期間TCの大きさは、ガードインターバル期間G26に依存する。

- [0064] SH回路20から取り出された基準フィルタ制御電圧140は、ADC21(アナログデジタルコンバータ)21でデジタルデータに変換される。デジタルデータはレジスタ23で保持され、DAC24に入力される。DAC24から取り出されたフィルタ制御電圧240によってフィルタ12を制御する。
- [0065] 実施の形態3にかかるタイミング信号発生器25は、レジスタ23に保持した複数のデジタルデータと受信期間を示す外部からの受信状態信号27から、間欠動作部13とレジスタ23を制御する信号を生成する点で実施の形態1, 2と相違する。
- [0066] 間欠動作部制御信号130はタイミング信号発生器25から出力され、間欠動作部13のオン、オフ制御を行う。間欠動作部制御信号130のオン期間130H(Hiレベル)で間欠動作部13はオンし、オフ期間130L1(Loレベル), 130L2(Loレベル)でオフする。
- [0067] 基準フィルタ制御電圧140はSH回路20から出力される。基準フィルタ制御電圧140は基準フィルタ14及びADC21の動作を制御する。間欠動作部13がオン状態、すなわち、間欠動作部制御信号130のオン期間130Hのときに、基準フィルタ制御電圧140は収束期間142, 144において、収束し、一定期間TCが経過した後、所定の電圧レベル146または148がSH回路20で保持される。また、一定期間TCにおいて、ADC21がアナログデータをデジタルデータに変換する動作を行う。一定期間TCの大きさは、ガードインターバル期間G26に依存する。
- [0068] フィルタ制御電圧240は、DAC24から取り出され、フィルタ12を制御するために、フィルタ12の制御端子12に入力される。
- [0069] DAC24に入力されたデジタルデータとその1つ前のデジタルデータから基準フィルタ14の制御電圧の変化量 $\Delta V3$ 、 $\Delta V4$ を算出し、その変化量 $\Delta V3$ が大きければオフ期間130L1を短くし、その変化量 $\Delta V3$ が小さければオフ期間130L1を長く設定する。また、基準フィルタ14の制御電圧の変化量 $\Delta V4$ も同様に考えることができ、その変化量 $\Delta V4$ が大きければオフ期間130L2を短くし、その変化量 $\Delta V4$ が小さければオフ期間130L2を長く設定する。なお、制御電圧の変化量からオフ期間130L

1, 130L2を導出する方法の一例としては、たとえば制御電圧の変化量に対するオフ期間の相関関係を表した設定テーブルを用意しておくことで実施することができる。

[0070] 次に、周波数調整回路18の動作を図6のタイミングチャートを用いて説明する。DAC24でデジタルデータをアナログ値に変換するタイミングは、データを受信していない期間、すなわち、非受信期間TOFFを利用する。

[0071] 受信期間TONか非受信期間TOFFを示す外部からの受信状態信号27を検知し、デジタルデータをレジスタ23で保持し、そのデジタルデータをデジタルアナログコンバータ24で制御電圧に変換し、フィルタ12に入力する。これにより、フィルタ12の周波数特性を制御するための信号を切り換えるタイミングを、例えば非受信期間TOFFなど、シンボル期間とシンボル期間の間の任意の時間間隔内とすることにより、シンボルの信号波形の劣化を抑制することができる。

[0072] (実施の形態4)

実施の形態4を、図面を参照しながら説明する。なお、図7は本発明の実施の形態4にかかるフィルタとその周波数調整回路が内蔵された受信装置のブロック図である。

[0073] 実施の形態4にかかる受信装置700は、フィルタ12及び周波数調整回路35を有する。

[0074] フィルタ12は、gm-Cフィルタで構成されている。フィルタ12は入力信号が入力される入力端子12aと、その入力信号の周波数特性が調整された出力信号が取り出される出力端子12bを有する。また、周波数調整回路35から、周波数特性を調整するための制御電圧が入力される制御端子12cを有する。制御端子12cには周波数特性を調整するための制御電圧が後述のレジスタ23から入力される。

[0075] 周波数調整回路35は間欠動作部34を有する。間欠動作部34は、入力端子19、基準フィルタ14、EX OR回路31、計測回路32及びデコーダ33を有する。

[0076] 間欠動作部34は入力端子19に入力される基準クロック信号15を位相シフトする基準フィルタ14と、その位相シフトされた信号と基準クロック信号との排他的論理和された信号を出力するEXOR回路31を有する。またEXOR回路31は基準フィルタ14に接

続された第1の入力端子31aと、入力端子19に直接接続された第2の入力端子31bを有する。

[0077] また、EXOR回路31から取り出された出力信号のデューティー比を計測する計測回路32と、その計測結果からフィルタ12を制御するための制御信号に変換するデコーダ33と、デコーダ33からの制御信号をデジタルデータとして保持するレジスタ23と、レジスタ23に保持した複数のデジタルデータと受信期間を示す外部からのガードインターバル信号26から、間欠動作部34とレジスタ23を制御するタイミング信号を生成するタイミング信号発生器25から構成されている。なお、一般にデューティー比とは、デジタル信号において、Hiレベルの出力信号期間と、Loレベルの出力信号期間との比を言う。

[0078] さらに周波数調整回路35はレジスタ23及びタイミング信号発生器25を有する。タイミング信号発生器25には実施の形態1、2で述べたガードインターバル信号26が入力される。

[0079] 図8は、図7に示した受信装置700の動作タイミングチャートである。間欠動作部制御信号340は、タイミング信号発生器26から出力される。間欠動作部制御信号340のオン、オフに追随して間欠動作部34の動作が制御される。間欠動作部34は、間欠動作部制御信号130のオン期間130H(Hiレベル)でオンし、オフ期間130L(Loレベル)でオフする。

[0080] フィルタ制御信号230は、たとえばフィルタ12が抵抗値を切り換えて周波数特性を変化させるような回路において、抵抗値の違う複数個の抵抗の中から所望の抵抗を選択するための信号である。設定できる抵抗値が64階調とすると、図8のフィルタ制御信号230の値232、234は0～63の値になる。フィルタ12に入力されたフィルタ制御信号とその1つ前のフィルタ制御信号からフィルタ制御信号230の変化量 $\Delta D1$ 、 $\Delta D2$ を算出し、その変化量 $\Delta D1$ が大きければオフ期間340L1を短くし、その変化量 $\Delta D1$ が小さければオフ期間340L1を長く設定する。また、フィルタ制御信号230の変化量D2も同様に考えることができ、その変化量 $\Delta D2$ が大きければオフ期間340L2を短くし、その変化量 $\Delta D2$ が小さければオフ期間340L2を長く設定する。なお、フィルタ制御信号の変化量からオフ期間340L1、340L2を導出する方法の一例と

しては、たとえばフィルタ制御信号の変化量に対するオフ期間の相関関係を表した設定テーブルを用意しておくことで実施することができる。また、抵抗を切り換える構成を例に挙げたがコンデンサの容量値またはコイルのインダクタンス値を切り換える場合も同様に考えることができる。

[0081] 周波数調整回路35の動作を図8のタイミングチャートを用いて説明する。間欠動作部制御信号340によって、間欠動作部34の動作状態を切換えられる。間欠動作部34がオン状態にある時、基準フィルタ14にて位相シフトされた信号と入力端子19からの基準クロック信号15との排他的論理和を行った出力信号のデューティー比を計測する。EXOR回路31の出力信号のデューティー比は基準フィルタ14に内蔵された抵抗とコンデンサの積と、基準クロック信号15で決まる。このため、基準クロック信号15が一定であれば、デューティー比を監視することによって抵抗とコンデンサの積の変動量を把握することから分かる。そして、予めデューティー比に対する抵抗またはコンデンサの補正值をテーブルとして用意しておけば、デューティー比の大きさに対応する補正值をフィルタ12に反映させる事により、フィルタ12の周波数特性を調整することができる。

[0082] このように、デコーダ33は出力信号のデューティー比からフィルタ12の制御信号を生成する。フィルタ12を制御するタイミングは、地上波デジタル放送などで採用されているガードインターバル期間G26を利用する。ガードインターバル期間G26は、本願明細書でいう「任意の時間間隔」として定義される。なお、この「任意の時間間隔」は、一定であっても良いし、可変されるものであっても良い。これらのいずれか1つによって、フィルタ12の周波数特性を制御するための信号を切り換えるタイミングを、例えばガードインターバル期間G26など、シンボル期間とシンボル期間の間の任意の時間間隔内とすることにより、シンボルの信号波形の劣化を抑制することができる。

[0083] フィルタ制御信号230は、たとえばフィルタ12が抵抗値を切り換えて周波数特性を変化させるような回路において、抵抗値の違う複数個の抵抗の中から所望の抵抗を選択するための信号である。設定できる抵抗値が64階調とすると、図8のフィルタ制御信号230の値232、234は0～63の値になる。フィルタ12に入力されたフィルタ制御信号とその1つ前のフィルタ制御信号からフィルタ制御信号230の変化量  $\Delta D1$ 、

$\Delta D2$ を算出し、その変化量 $\Delta D1$ が大きければオフ期間340L1を短くし、その変化量 $\Delta D1$ が小さければオフ期間340L1を長く設定する。また、フィルタ制御信号230の変化量D2も同様に考えることができ、その変化量 $\Delta D2$ が大きければオフ期間340L2を短くし、その変化量 $\Delta D2$ が小さければオフ期間340L2を長く設定する。なお、フィルタ制御信号の変化量からオフ期間340L1、340L2を導出する方法の一例としては、たとえばフィルタ制御信号の変化量に対するオフ期間の相関関係を表した設定テーブルを用意しておくことで実施することができる。また、抵抗を切り換える構成を例に挙げたがコンデンサの容量値またはコイルのインダクタンス値を切り換える場合も同様に考えることができる。

[0084] 図8に示した、ガードインターバル信号26は、実施の形態1(図2)、実施の形態2(図4)で採用したものと同じである。すなわち、ガードインターバル信号26は、タイミング信号発生器25に入力される。ガードインターバル信号26は有効シンボル期間S26とガードインターバル期間G26を有する。有効シンボル期間S26とガードインターバル期間G26を加えた、(S26+G26)がシンボル期間として定義することができる。なお、シンボル期間は、1回の変調で送信できる1ビット或いは複数ビットのデータの期間である。

[0085] また、タイミング信号発生器25は、フィルタ12からの出力信号を受けて、この出力信号のガードインターバル期間から所定期間の前に間欠動作部13の電源をオンさせ、間欠動作部13がフィルタ12を制御してから間欠動作部13の電源をオフさせるようにしても良い。これにより、間欠動作部13の低消費電力化が図れる。

[0086] また、外部から入力されるガードインターバル信号26のガードインターバル期間G26を検知し、そのガードインターバル期間G26に同期させて、デジタルデータをレジスタ23で保持し、DAC24で制御電圧をフィルタ12に入力するようにしても良い。これにより、間欠動作部13がオフの期間も、フィルタ12に制御信号を供給することができる。

### 産業上の利用可能性

[0087] 本発明にかかるフィルタ周波数調整回路が内蔵された受信装置は、シンボルの信号波形の劣化を抑制することができるという格別の効果を有し、地上波デジタル放送

を受信する携帯端末や車載用テレビなどの電子機器に有用であるので、その産業上の利用可能性は高い。

## 請求の範囲

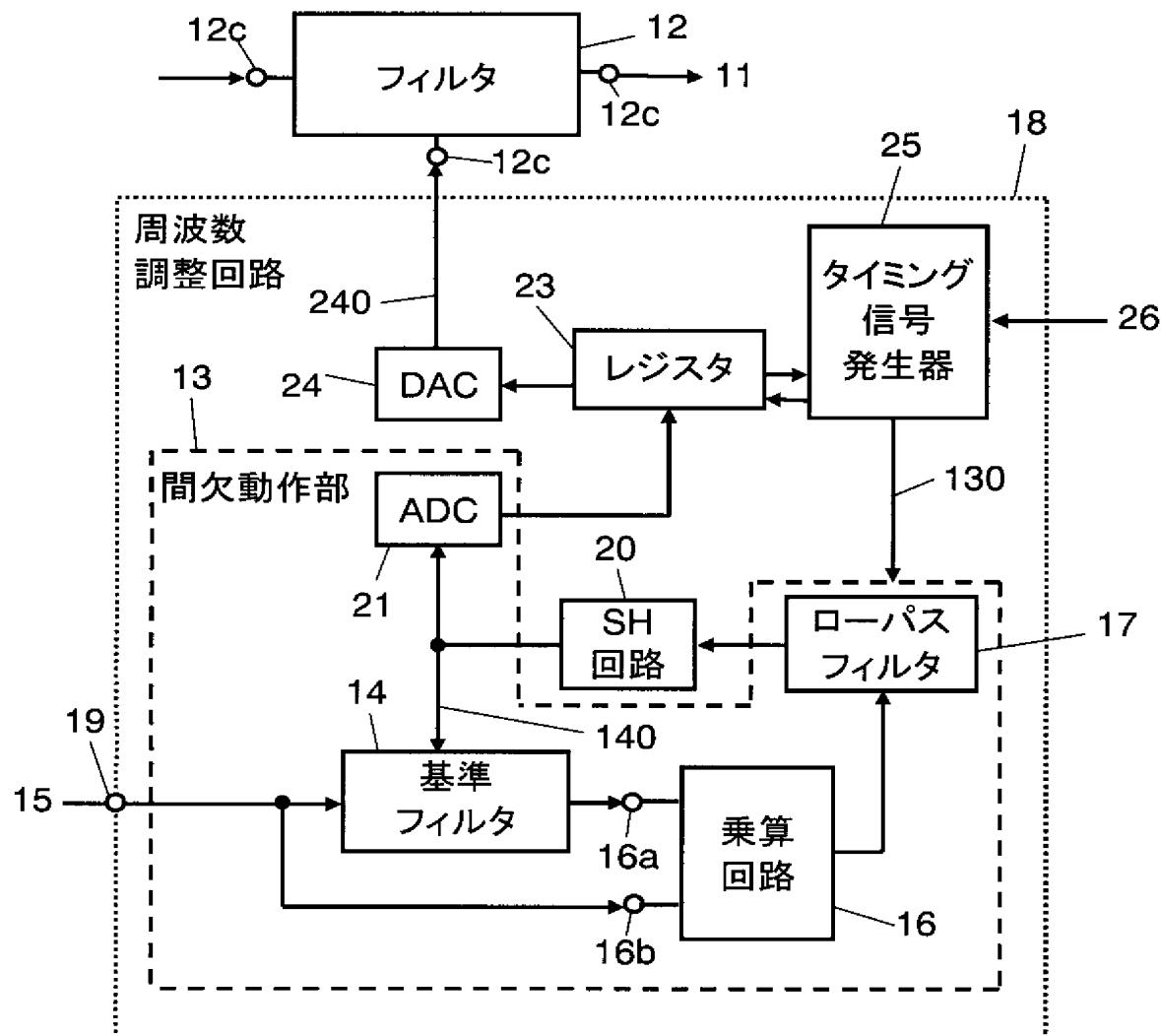
- [1] 任意の時間間隔ごとにシンボルを有する出力信号を送出するフィルタと、前記フィルタからの前記出力信号に基づいて、前記フィルタを間欠的に前記時間間隔において制御する間欠動作部を有する受信装置。
  - [2] 前記フィルタからの前記出力信号における前記任意の時間間隔に基づいて、前記間欠動作部の電源をオン／オフするタイミング信号を生成するタイミング信号発生器を有する請求項1に記載の受信装置。
  - [3] 前記タイミング信号発生器は、前記間欠動作部からの制御信号に基づいて、前記間欠動作部の電源をオン／オフするタイミング信号を生成する請求項2に記載の受信装置。
  - [4] 前記タイミング信号発生器は、前記間欠動作部からの制御信号の信号強度に基づいて、前記間欠動作部の電源をオン／オフするタイミング信号を生成する請求項2に記載の受信装置。
  - [5] 前記タイミング信号発生器は、前記間欠動作部からの制御信号及び前記間欠動作部の電源のオフ期間に基づいて、前記間欠動作部の電源をオン／オフするタイミング信号を生成する請求項3または請求項4に記載の受信装置。
  - [6] 前記間欠動作部からの制御信号を保持するレジスタを有し、前記フィルタは、前記レジスタが保持した前記制御信号に基づいて制御される請求項1に記載の受信装置。
  - [7] 前記タイミング信号発生器は、前記出力信号における前記任意の時間間隔の他に基準クロックに基づいて、前記間欠動作部の電源をオン／オフするタイミング信号を生成する請求項1に記載の受信装置。
  - [8] 基準クロック信号に位相差を設定する基準フィルタと、前記基準フィルタの出力信号と前記基準クロック信号とを乗算する乗算回路と、前記乗算回路の出力に接続したローパスフィルタとからなり、前記ローパスフィルタの出力電圧を基準フィルタのカットオフ周波数が一定になるように基準フィルタへ負帰還をかけた周波数調整回路であつて、前記ローパスフィルタからの出力電圧を一定期間保持するサンプルホールド回路と、前記サンプルホールド回路の出力電圧をデジタルデータに変換するアナログデジタルコンバータと、前記デジタルデータをアナログ調整値に変換するデジタルア

ナログコンバータと、変換したデジタルデータを保持するレジスタとを有し、前記レジスタが保持した前記デジタルデータに基づいて、前記周波数調整回路を間欠的に動作させることを特徴とする周波数調整回路。

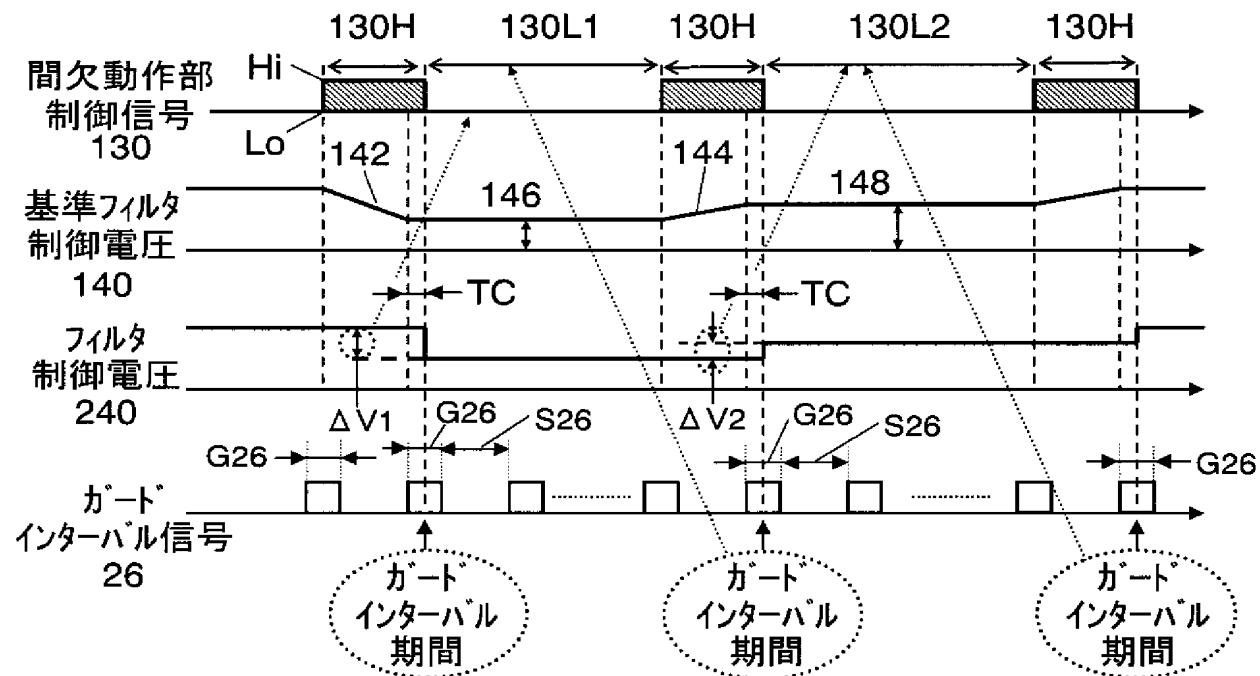
- [9] 基準クロック信号に位相差を設定する基準フィルタと、前記基準フィルタの出力信号と前記基準クロック信号との排他的論理和を出力するEXOR回路と、前記EXOR回路の出力信号のデューティー比を計測する計測回路とからなり、前記計測回路の出力信号をフィルタの制御信号に使用する周波数調整回路であって、前記計測回路の出力信号をデジタルデータとして保持するレジスタを有し、前記周波数調整回路を間欠的に動作させることを特徴とする周波数調整回路。
- [10] 請求項1に記載の受信装置を搭載した電子機器。

[図1]

100

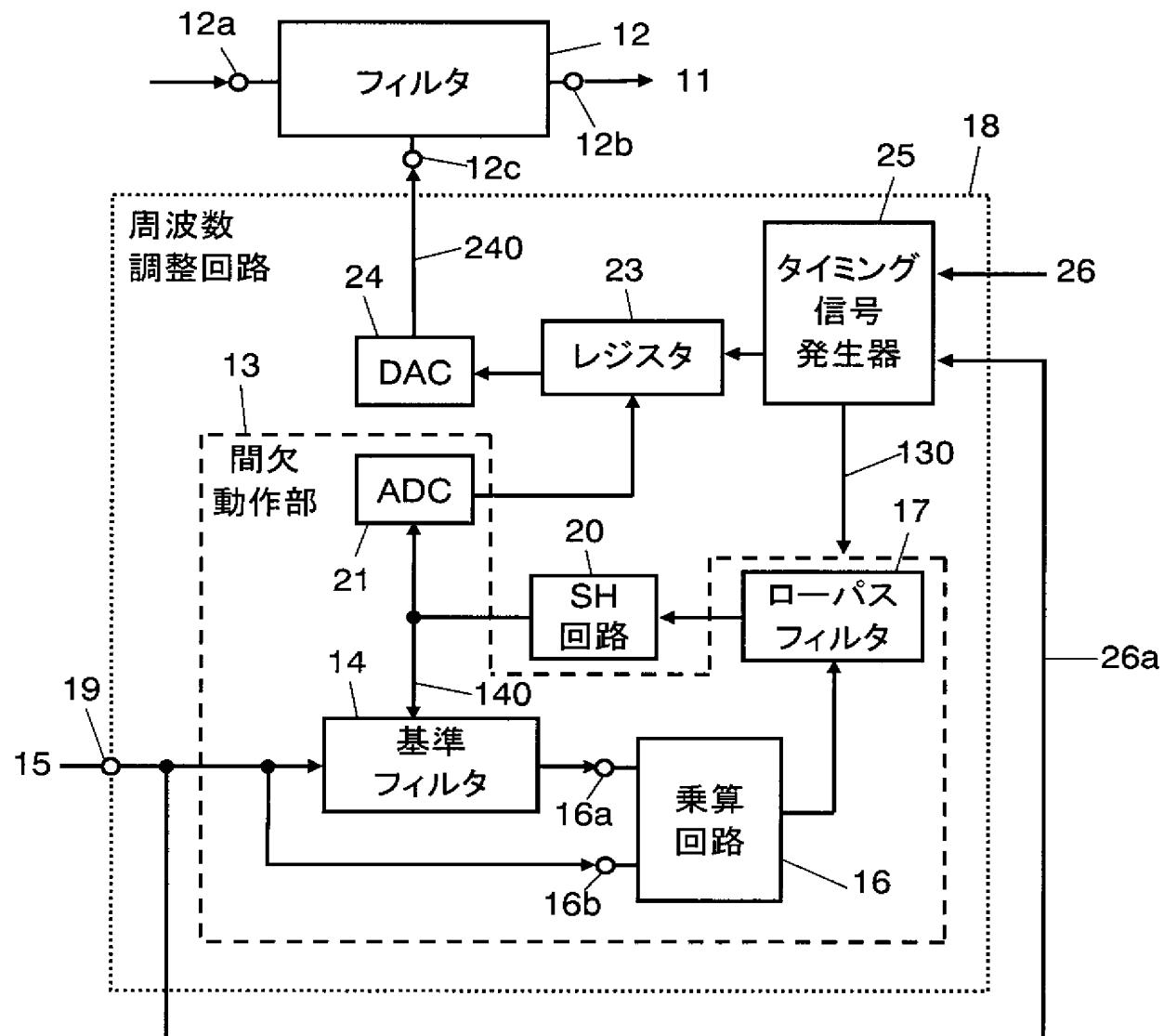


[図2]

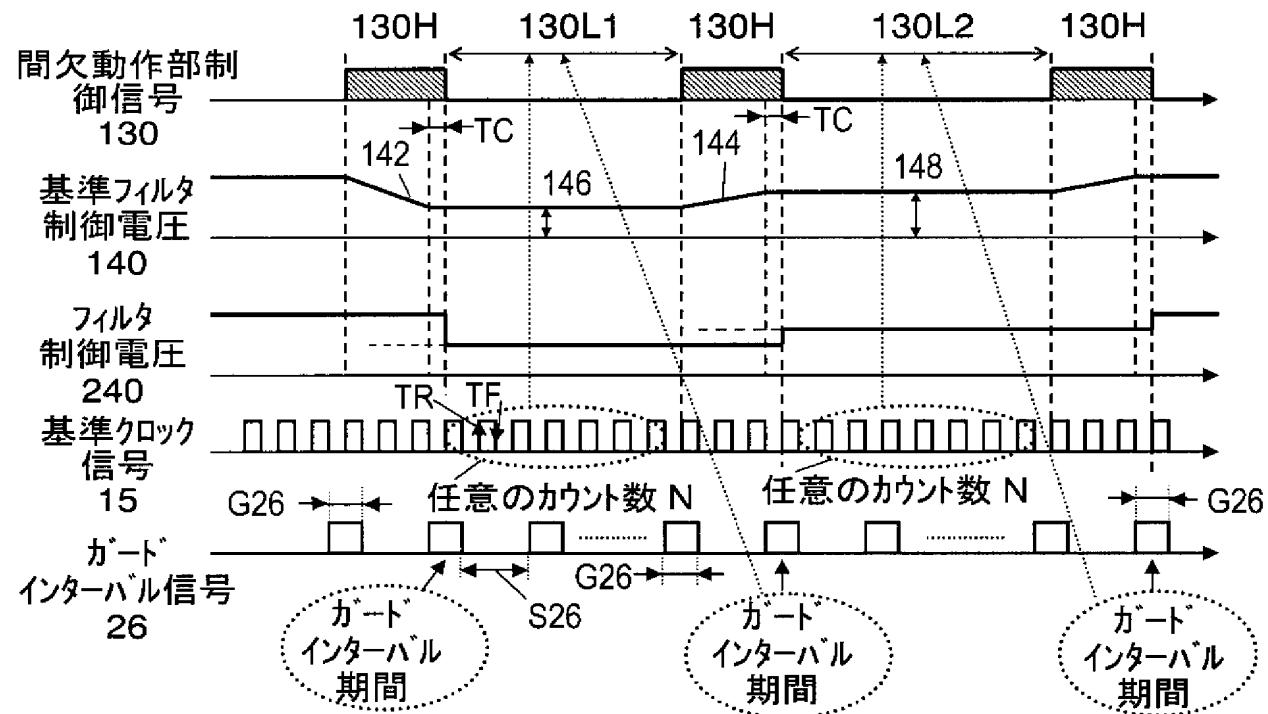


[図3]

300

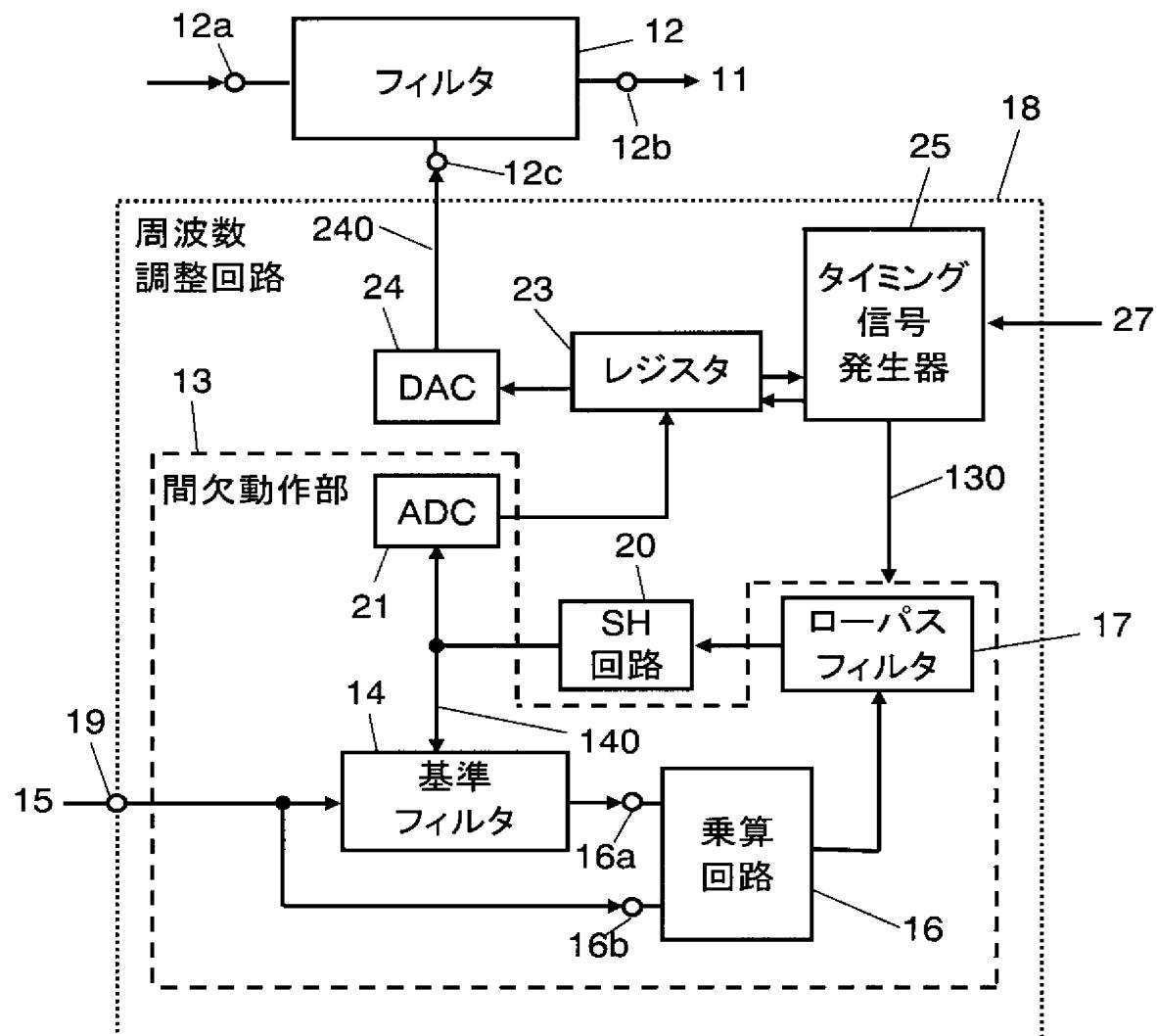


[図4]

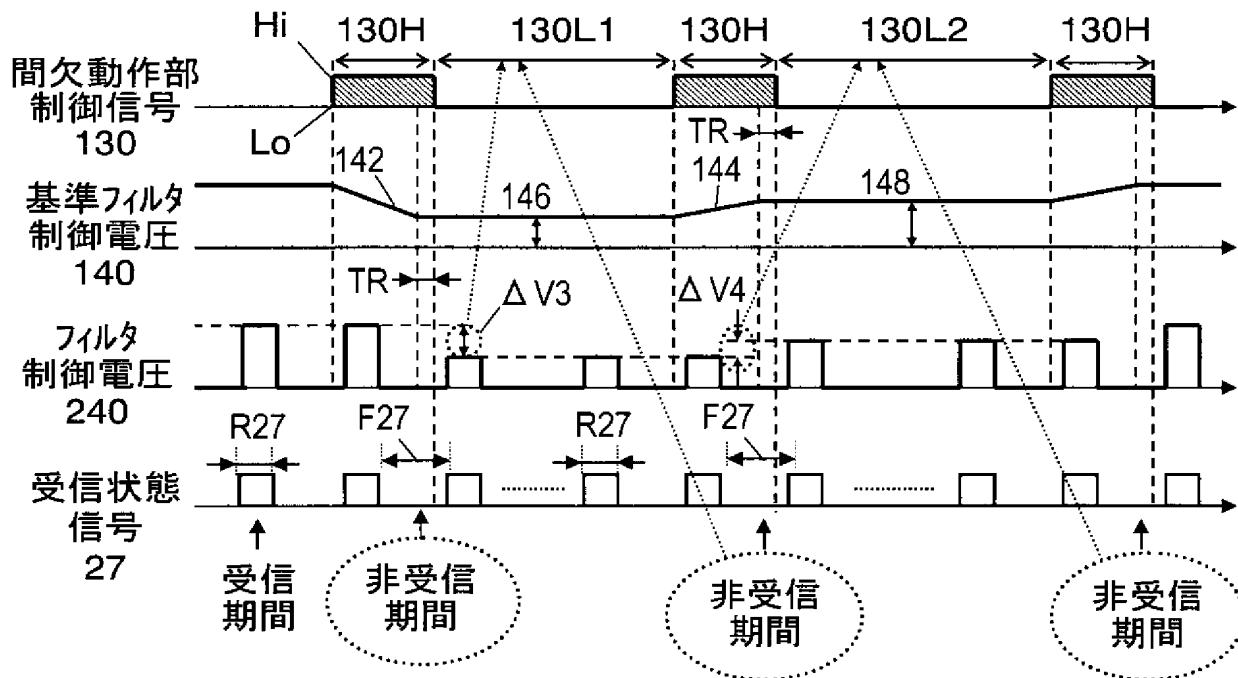


[図5]

500

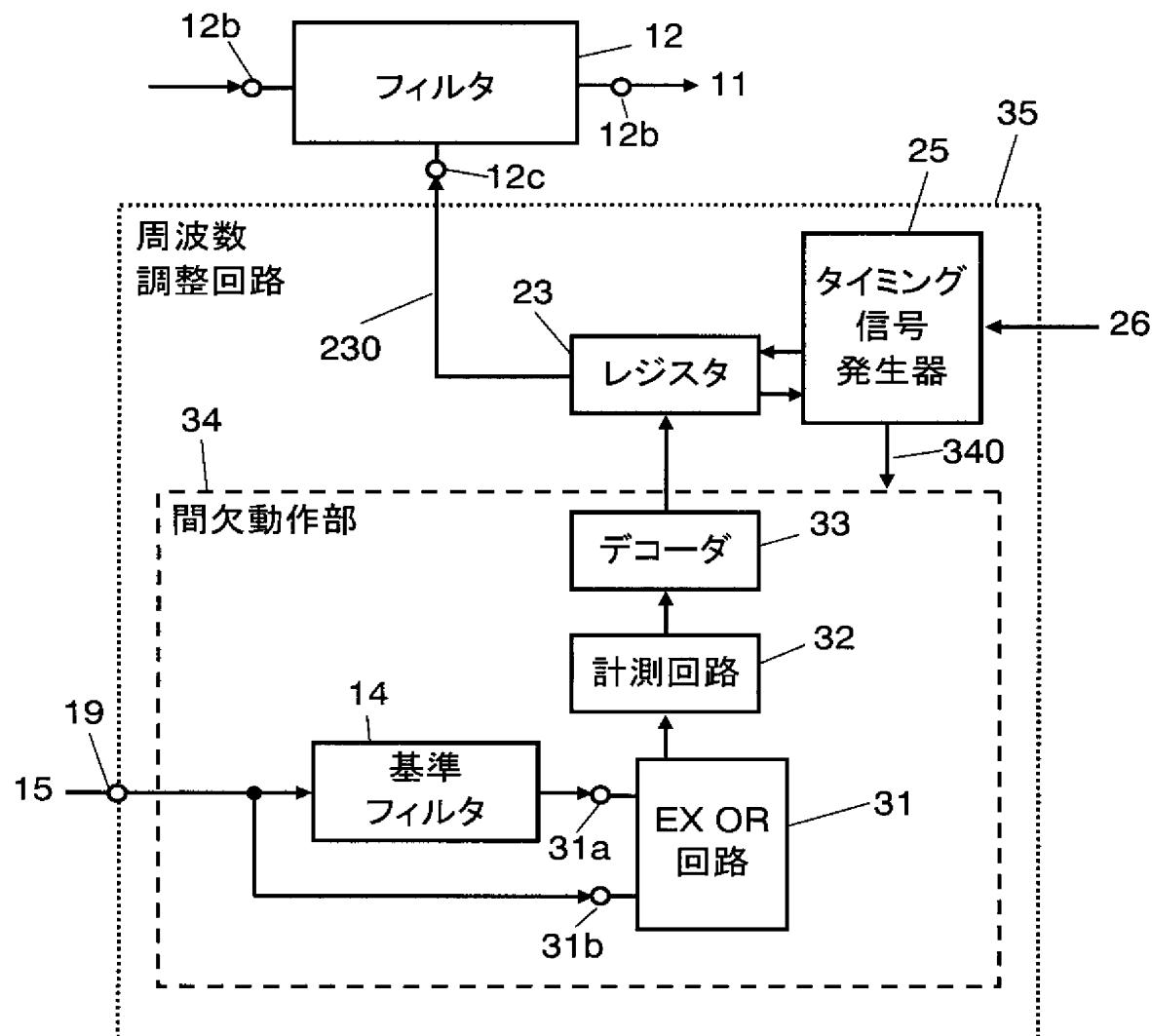


[図6]

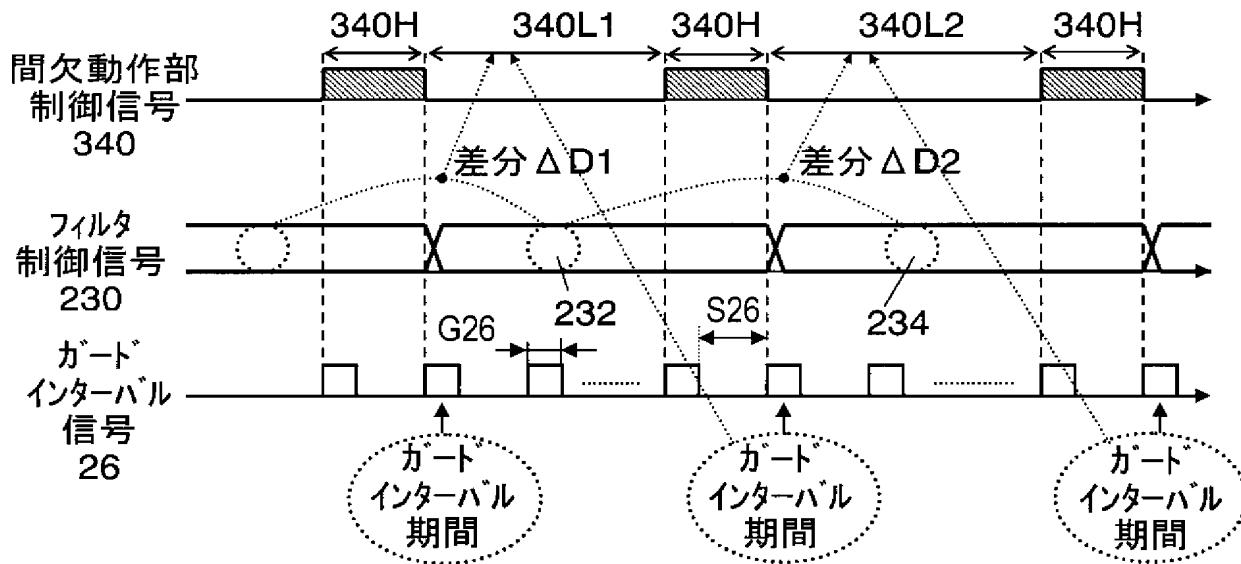


[図7]

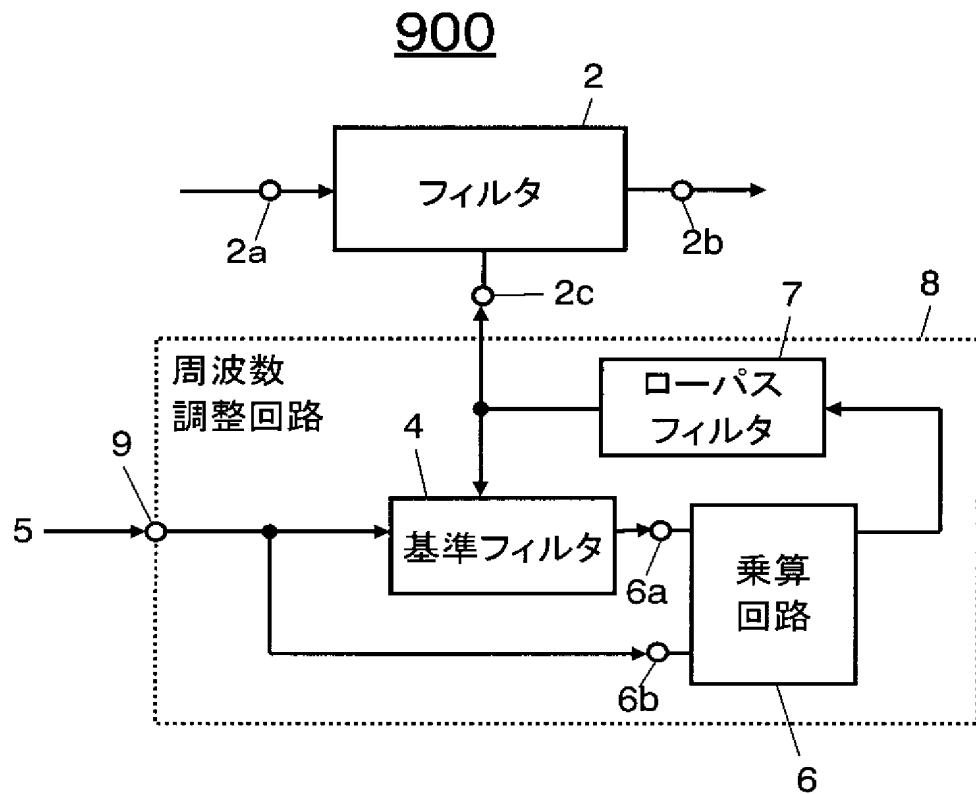
700



[図8]



[図9]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2006/300937

**A. CLASSIFICATION OF SUBJECT MATTER**  
***H03H11/04* (2006.01)**

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

***H03H11/00* (2006.01) - *H03H11/54* (2006.01)**

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006  
 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 7-307643 A (Hitachi, Ltd.), 21 November, 1995 (21.11.95), Par. Nos. [0011] to [0024]; Figs. 1 to 2 (Family: none)	1-3,6-10 4-5
Y A	JP 3-060287 A (Fujitsu Ten Ltd.), 15 March, 1991 (15.03.91), Fig. 1 (Family: none)	1-3,6-10 4-5
Y A	JP 10-243338 A (Hitachi, Ltd.), 11 September, 1998 (11.09.98), Fig. 1 (Family: none)	1-3,6-10 4-5

 Further documents are listed in the continuation of Box C.

 See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	"&" document member of the same patent family

 Date of the actual completion of the international search  
 07 April, 2006 (07.04.06)

 Date of mailing of the international search report  
 18 April, 2006 (18.04.06)

 Name and mailing address of the ISA/  
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/JP2006/300937

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 3-034717 A (Nippon Telegraph And Telephone Corp.), 14 February, 1991 (14.02.91), Page 4; Fig. 1 (Family: none)	6, 8-9
Y	JP 2001-308683 A (Asahi Kasei Microsystems Co., Ltd.), 02 November, 2001 (02.11.01), Par. Nos. [0047] to [0049] (Family: none)	9

## A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. H03H11/04 (2006.01)

## B. 調査を行った分野

## 調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. H03H11/00 (2006.01) - H03H11/54 (2006.01)

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

## 国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 7-307643 A (株式会社日立製作所)	1-3, 6-10
A	1995.11.21, [0011]-[0024]、図1-図2 (ファミリーなし)	4-5
Y	JP 3-060287 A (富士通テン株式会社)	1-3, 6-10
A	1991.03.15, 第1図 (ファミリーなし)	4-5

\* C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

## 国際調査を完了した日

07.04.2006

## 国際調査報告の発送日

18.04.2006

## 国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

江口 能弘

5W 3570

電話番号 03-3581-1101 内線 3576

C (続き) . 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	JP 10-243338 A (株式会社日立製作所)	1-3, 6-10
A	1998.09.11, 図1 (ファミリーなし)	4-5
Y	JP 3-034717 A (日本電信電話株式会社) 1991.02.14, 第4頁、第1図 (ファミリーなし)	6, 8-9
Y	JP 2001-308683 A (旭化成マイクロシステム株式会社) 2001.11.02, [0047]-[0049] (ファミリーなし)	9